

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Jc784 U.S. PTO

09/736163



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 2月22日

出 願 番 号

Application Number:

特願2000-044642

出 願 人

Applicant (s):

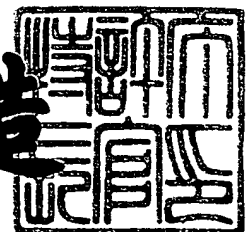
富士通株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 9月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3071390

#22
2/22/01
Docket No. 1614.1103/HJS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

Koichi YOSHIMI

Group Art Unit:

Serial No.:

Examiner:

Filed: December 15, 2000

For: BRANCH PREDICTION METHOD, ARITHMETIC AND LOGIC UNIT,
AND INFORMATION PROCESSING APPARATUS



SUBMISSION OF CERTIFIED COPY OF PRIOR
FOREIGN APPLICATION IN ACCORDANCE WITH
THE REQUIREMENTS OF 37 C.F.R. § 1.55

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application(s):

Japanese Patent Application No. 2000-025769
Filed: February 2, 2000
Japanese Patent Application No. 2000-044642
Filed: February 22, 2000

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date, as evidenced by the certified papers attached hereto, in accordance with the requirements
of 35 U.S.C. § 119.

Respectfully submitted,
STAAS & HALSEY LLP

Date: December 15, 2000

By:

H. J. Staas
Registration No. 22,010

700 Eleventh Street, N.W., Suite 500
Washington, D.C. 20001
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 9951721

【提出日】 平成12年 2月22日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/38

【発明の名称】 演算装置及び分岐予測方法並びに情報処理装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 吉見 康一

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 演算装置及び分岐予測方法並びに情報処理装置

【特許請求の範囲】

【請求項 1】 分岐命令に応じて分岐予測を行なうとともに、該分岐命令の成否に応じて分岐予測の遷移確率を更新する演算装置において、

処理のプロセスが切り換ったことを検出する切換検出手段と、

前記切換検出手段により前記プロセスが切り換ったことが検出されたときに、前記分岐予測情報を初期化する初期化手段とを有することを特徴とする演算装置。

【請求項 2】 前記初期化手段は、分岐命令に付与された予測情報に基づいて初期化を行なうことを特徴とする請求項 1 記載の演算装置。

【請求項 3】 分岐命令の成否に応じて分岐予測の遷移確率を更新しつつ、分岐命令の分岐予測を行なう分岐予測方法において、

処理のプロセスが切り換ったことを検出する切換検出手段と、

前記切換検出手段により前記プロセスが切り換ったことが検出されたときに、前記分岐予測情報を初期化する初期化手段とを有することを特徴とする分岐予測方法。

【請求項 4】 前記初期化手段は、分岐命令に付与された予測情報に基づいて初期化を行なうことを特徴とする請求項 3 記載の分岐予測方法。

【請求項 5】 分岐命令の成否に応じて分岐予測の遷移確率を更新しつつ、分岐命令の分岐予測を行ない、命令の処理を行なう情報処理装置において、

処理のプロセスが切り換ったことを検出する切換検出手段と、

前記切換検出手段により前記プロセスが切り換ったことが検出されたときに、前記分岐予測情報を初期化する初期化手段とを有することを特徴とする情報処理装置。

【請求項 6】 前記初期化手段は、分岐命令に付与された予測情報に基づいて初期化を行なうことを特徴とする請求項 5 記載の情報処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明の演算装置及び分岐予測方法並びに情報処理装置に係り、特に、分岐命令時に分岐予測を行なう演算装置及び分岐予測方法並びに情報処理装置に関する。

【0002】

近年、マイクロプロセッサでは、スーパースカラ・パイプライン方式のマイクロプロセッサが数多く作られている。一方、マイクロプロセッサでは、一般に分岐予測が行なわれている。分岐予測は、分岐命令発生時に分岐先を予測して、次に命令を実行する処理である。

【0003】

パイプライン方式のマイクロプロセッサで分岐予測を行なうと、分岐予測ミスが発生した場合、パイプラインの各スロットにパイプラインバブルが生じ、命令が滞り、処理性能が大幅に低下する。近年、マイクロプロセッサの動作周波数が大幅に向上しており、マイクロプロセッサの全体性能に対し、パイプラインバブルによる命令の滞りが大きな影響を及ぼしている。

【0004】

そこで、高い分岐予測ヒット率を目指してさまざまな分岐予測手法が提案されている。現状の分岐予測手法としては、二段分岐予測手法やアグリープレディクタなどの手法が知られている。これらの手法は、分岐予測のヒット／ミスを検出して学習を行なう。このとき、分岐予測テーブルが正しい方向に更新されるまでに、分岐予測ヒストリレジスタのビット数に依存した回数分のミスを検出するまでのサイクル数が必要となる。よって、命令のプロセスが切り替わった場合などに、切り替わった当初は、前のプロセスの学習結果に応じて分岐予測が行なわれるため、プロセスの切り替わり当初の分岐予測ミスが多くなり性能低下への影響が大きかった。

【0005】

【従来の技術】

図1は情報処理装置の一例のブロック構成図を示す。

【0006】

情報処理装置 1 は、主に演算装置 2、メインメモリ 3、入出力インタフェース 4、システムバス 5 から構成される。

【0007】

演算装置 2 は、プログラムに書き込まれた命令を順次実行する。メインメモリ 3 は、プログラムやデータを記憶する。

【0008】

入出力インタフェース 4 は、図示しない外部周辺装置とシステムバス 5 とのインタフェースをとる。システムバス 5 は、演算装置 2、メインメモリ 3、入出力インタフェース 4 と接続されており、演算装置 2、メインメモリ 3、入出力インタフェース 4 での命令やデータのやり取りを行なう。

【0009】

次に演算装置 2 について詳細に説明する。

【0010】

図 2 は演算装置のブロック構成図を示す。

【0011】

演算装置 2 は、バスインタフェースユニット 11、2 次キャッシュ 12、命令フェッチユニット 13、命令デコーダ 14、整数演算部 15、浮動小数点演算部 16、機能ユニット 17、内部バス 18、データキャッシュ 19、リオーダバッファ 20、分岐予測制御部 21、実行制御部 22 から構成される。

【0012】

バスインタフェースユニット 11 は、演算装置 2 とシステムバス 5 とのインタフェースをとる。システムバス 5 からの命令は、バスインタフェースユニット 11 を介して 2 次キャッシュ 12 に供給される。

【0013】

2 次キャッシュ 12 は、システムバス 5 からの命令を一時的に記憶する。2 次キャッシュ 12 に記憶された命令は、順次命令フェッチユニット 13 に供給される。

【0014】

命令フェッチユニット 13 は、2 次キャッシュ 12 からの命令をフェッチする

。命令デコーダ14は、命令フェッチユニット13からの命令をデコードする。命令デコーダ14でデコードされた命令は、整数演算部15、浮動小数点演算部16、機能ユニット17に供給される。

【0015】

整数演算部15は、命令デコーダ14からの命令に応じて整数演算を実行する。浮動小数点演算部16は、命令デコーダ14からの命令に応じて浮動小数点演算を実行する。機能ユニット17は、命令デコーダ14からの命令に応じて所定の機能を実行する。整数演算部15、浮動小数点演算部16、機能ユニット17の演算結果は、内部バス18に供給される。

【0016】

内部バス18は、データキャッシュ19、リオーダバッファ20に供給される。データキャッシュ19は、整数演算部15、浮動小数点演算部16、機能ユニット17の演算結果を記憶する。データキャッシュ19に記憶されたデータは、バスインタフェース11を介して2次キャッシュ12に記憶される。

【0017】

リオーダバッファ20は、リオーダされた命令を記憶する。

【0018】

分岐予測部21は、分岐命令が供給されたとき、分岐方向を予測する。実行制御部22は、全体の動作を制御する。

【0019】

ここで、分岐命令について説明する。

【0020】

図3は分岐命令動作を説明するための図を示す。

【0021】

図3で、instは通常の命令、brは分岐命令を示す。図3において命令は、insti、insti+1・・・、brA、instj、instj+1、・・・brB、instk、instk+1、・・・instl、instl+1・・・の順に順次に並んでいる。このとき、分岐命令brAは、分岐したときに、アドレスAの命令instiに戻る命令である。なお、分岐命令brAは、非分岐時には、分岐命令brB以降を実行する。

【 0 0 2 2 】

分岐命令 `b r B` は、分岐時には、アドレス `B` の命令 `instj` にジャンプする。なお、分岐命令 `b r B` は、非分岐時には、命令 `instk`、`instk+1`・・・を実行する。

【 0 0 2 3 】

次に、分岐予測部 2 1 について説明する。

【 0 0 2 4 】

図 4 は従来の分岐予測部の一例のブロック構成図を示す。

【 0 0 2 5 】

分岐予測部 2 1 は、インデックス生成回路 3 1、3 2、分岐レジスタ 3 3、分岐予測情報記憶部 3 4、タグ比較回路 3 5、タグ判定回路 3 6、予測情報生成回路 3 7 から構成される。

【 0 0 2 6 】

インデックス生成回路 3 1 には、分岐命令、プログラムカウンタ値、分岐履歴情報が供給される。

【 0 0 2 7 】

分岐レジスタ 3 3 は、過去の分岐予測結果を記憶する。

【 0 0 2 8 】

図 5 に従来の分岐履歴レジスタのデータ構成の一例を示す。

【 0 0 2 9 】

分岐レジスタ 3 3 は、 n ビットのレジスタから構成される。分岐レジスタ 3 3 の n ビット目には n 回前の分岐結果、 $n - 1$ ビット目には $n - 1$ 回前の分岐結果、・・・2 ビット目には 2 回前の分岐予測結果、1 ビット目には 1 回前の分岐結果が記憶される。

【 0 0 3 0 】

分岐結果は、「0」又は「1」で表現される。分岐結果「1」は分岐が成立したとき、分岐結果「0」は分岐が不成立のときに記憶される。

【 0 0 3 1 】

分岐レジスタ 3 3 に記憶された分岐履歴情報は、分岐予測命令が発生したときにインデックス生成回路 3 1 に供給される。

【 0 0 3 2 】

インデックス生成回路 3 1 は、分岐命令、プログラムカウンタ値、分岐履歴情報を合成して、インデックス情報を生成する。インデックス生成回路 3 1 で生成されたインデックス情報は、分岐予測情報記憶部 3 4 のエントリとして用いられる。

【 0 0 3 3 】

分岐予測情報記憶部 3 4 は、タグ情報 3 8 及び予測分岐情報 3 9 から構成される。タグ情報 3 8 と予測分岐情報 3 9 とは、対で記憶されている。分岐予測情報記憶部 3 4 は、インデックス生成回路 3 1 で生成されたインデックス情報によりタグ情報 3 8 が決定され、タグ情報 3 8 に応じた分岐予測情報 3 9 が読み出される。

【 0 0 3 4 】

分岐予測情報 3 9 は、分岐予測方向を示す情報である。分岐予測情報 3 9 は、「0 0」、「0 1」、「1 0」、「1 1」の 2 ビットの情報から構成される。分岐予測情報「1 1」は、「strongly taken」、分岐予測情報「1 0」は、「weakly taken」、分岐予測情報「0 1」は「weakly not taken」、分岐予測情報「0 0」は、「strongly not taken」を示す。「strongly taken」は、分岐する確率が高い状態を示す。また、「weakly taken」は、分岐する確率が小さい状態を示す。「weakly not taken」は、分岐しない確率が小さい状態を示す。「strongly not taken」は、分岐しない確率が高い状態を示す。

【 0 0 3 5 】

このとき検索される。分岐予測情報記憶部 3 4 で得られたタグ情報 3 8 に応じた分岐予測情報 3 9 が出力される。分岐予測情報記憶部 3 4 から読み出された分岐予測情報 3 9 は、予測情報生成回路 3 7 に供給される。予測情報生成回路 3 7 は、分岐予測情報 3 9 に基づいて分岐予測を行なう。分岐予測結果は、分岐予測情報 3 9 と同様に「0 0」、「0 1」、「1 0」、「1 1」の 2 ビットの情報から構成される。

【 0 0 3 6 】

上記分岐予測結果に応じて分岐予測が行なわれ、命令が先行して実行される。

このとき、分岐予測情報記憶部 3 4 に記憶される分岐予測情報 3 9 は、分岐予測と実際の分岐とのヒット、ミスを検出し、その検出結果に応じて更新される。

【0 0 3 7】

【発明が解決しようとする課題】

図 6 は従来の課題を説明するための図を示す。図 6 において P 1、P 2、P 3 はそれぞれ異なるプロセスのプログラムを示す。

【0 0 3 8】

時刻 T でプログラム P 1 からプログラム P 2 に切り換ると、プログラム P 1 とプログラム P 2 とはプロセスが異なるので、プログラム P 2 の分岐予測が不正確になる。プログラム P 2 のプロセスに対応した分岐予測が行なわれるまでには、プログラム P 2 が実行されてからある程度の時間 T が必要であった。

【0 0 3 9】

よって、プログラムが切り換ってからある程度の時間 T の間は、正確に分岐予測を行なうことはできず、よって、効率よくプログラムを実行できないなどの問題点があった。

【0 0 4 0】

本発明は上記の点に鑑みてなされたもので、予測精度を向上させることができる演算装置及び分岐予測方法並びに情報処理装置を提供することを目的とする。

【0 0 4 1】

【課題を解決するための手段】

本発明は、分岐命令に応じて分岐予測を行なうとともに、該分岐命令の成否に応じて分岐予測の遷移確率を更新する演算装置において、処理のプロセスが切り換ったことを検出する切換検出手段と、前記切換検出手段により前記プロセスが切り換ったことが検出されたときに、前記分岐予測方向の遷移確率を予め設定された値に初期化する初期化手段とを有することを特徴とする。

【0 0 4 2】

本発明によれば、処理のプロセスが切り換ったことを検出し、その検出結果、処理のプロセスが切り換ると、分岐予測情報が初期化されるため、過去の処理プロセスの分岐予測により分岐予測が行なわれることがなく、分岐予測のミスを低

減できる。

【 0 0 4 3 】

また、本発明は、分岐命令に付与された予測情報に基づいて初期化を行なうようにしてなる。

【 0 0 4 4 】

本発明によれば、分岐命令に予め付与された予測情報により分岐予測を行なうことができるので、分岐予測がヒットする確率を向上できる。

【 0 0 4 5 】

さらに、本発明は、分岐命令の分岐先に応じて初期化を行なうようにしてなる。

【 0 0 4 6 】

本発明によれば、分岐命令の分岐先に応じて初期化を行なうことにより、初期化時に予測の強度を切り替え、最適な予測を行なうことができる。よって、分岐がヒットする確率を向上できる。

【 0 0 4 7 】

【発明の実施の形態】

図 7 に本発明の一実施例の分岐予測部のブロック構成図を示す。同図中、図 4 と同一構成部分には同一符号を付し、その説明は省略する。

【 0 0 4 8 】

分岐予測部 4 1 は、図 4 に示される分岐予測部 2 1 のタグ判定回路 3 6、予測情報生成回路 3 7 に換えて、分岐予測制御回路 4 2 を設けている。

【 0 0 4 9 】

分岐予測制御回路 4 2 は、プログラムカウンタアドレスに応じてプログラムの切替を検出し、プログラムが切り換ると分岐予測を分岐予測情報記憶部 3 4 からの分岐予測情報 3 9 によらず、予め設定された所定の分岐予測情報に初期化する。

【 0 0 5 0 】

図 8 に本発明の一実施例の分岐予測制御部のブロック構成図を示す。

【 0 0 5 1 】

分岐予測制御部 4 2 は、B T F N (Backward Taken/Forward non Taken) 判定回路 5 1、初期分岐予測情報生成回路 5 2、分岐予測情報更新回路 5 3、分岐予測情報切替回路 5 4 から構成される。

【 0 0 5 2 】

B T F N 判定回路 5 1 は、プログラムカウンタ値と分岐先アドレスとを比較し、分岐予測方向が B T 「Backward Taken」 か、F N 「Forward Non taken」 かを判定する。B T F N 判定回路 5 1 の判定結果は、初期分岐予測情報生成回路 5 2 に供給される。

【 0 0 5 3 】

初期分岐予測情報生成回路 5 2 は、B T F N 判定回路 5 1 からの判定結果に応じて初期分岐予測情報を生成する。分岐予測情報更新回路 5 3 は、更新すべき分岐予測情報を生成する。初期分岐予測情報生成回路 5 2 で生成された初期分岐予測情報及び分岐予測情報更新回路 5 3 で生成された分岐予測情報は、分岐予測情報切替回路 5 4 に供給される。

【 0 0 5 4 】

分岐予測情報切替回路 5 4 は、分岐予測結果に応じて初期分岐予測情報生成回路 5 2 からの初期分岐予測情報又は分岐予測情報更新回路 5 3 からの分岐予測情報を選択的に出力する。

【 0 0 5 5 】

ここで、B T F N 判定回路 5 1 について詳細に説明する。

【 0 0 5 6 】

図 9 に本発明の一実施例の B T F N 判定回路のブロック構成図を示す。

【 0 0 5 7 】

B T F N 判定回路 5 1 は、分岐先アドレス生成回路 6 1、比較回路 6 2、付帯情報分離回路 6 3 から構成される。

【 0 0 5 8 】

分岐先アドレス生成回路 6 1 には、プログラムカウンタからプログラムカウンタ値が供給されるとともに、命令フェッチユニット 1 3、命令デコーダ 1 4 から分岐命令情報が供給される。分岐先アドレス生成回路 6 1 は、プログラムカウン

ト値及び分岐命令情報から分岐先命令アドレスを生成する。分岐先命令アドレス生成回路 6 1 で生成された分岐先命令アドレスは、比較回路 6 2 に供給される。

【0059】

比較回路 6 2 には、プログラムカウンタからプログラムカウンタアドレスが供給されるとともに、分岐先命令アドレス生成回路 6 1 から分岐先命令アドレスが供給される。比較回路 6 2 は、プログラムカウンタアドレスと分岐先命令アドレスとを比較して、プログラムカウンタアドレスと分岐先命令アドレスとの大小関係に応じて分岐方向情報を出力する。

【0060】

比較回路 6 2 は、分岐先命令アドレスがプログラムカウンタアドレスより小さければ、分岐方向情報 B T (Backward Taken) を出力する。また、比較回路 6 2 は、分岐先命令アドレスがプログラムカウンタアドレスより大きければ、分岐方向情報 F N (Forward Non taken) を出力する。分岐方向情報 B T は、後方参照を示す。分岐方向情報 F N は、前方参照を示す。B T としては、W T に相当する分岐予測情報「1 0」を出力し、F N としては W N T に相当する分岐予測情報「0 1」を出力する。比較回路 6 2 の出力は、初期分岐予測情報生成回路 5 2 に供給される。

【0061】

付帯情報分離回路 6 3 には、分岐命令情報が供給される。付帯情報分離回路 6 3 は、分岐命令情報から分岐方向情報を分離する。付帯情報分離回路 6 3 で分離された分岐方向情報は、初期分岐予測情報生成回路 5 2 に供給される。

【0062】

ここで、初期分岐予測情報生成回路 5 2 について詳細に説明する。

【0063】

図 1 0 は本発明の一実施例の初期分岐予測情報生成回路のブロック構成図を示す。

【0064】

初期分岐予測情報生成回路 5 2 は、合成回路 7 1 及び分岐予測情報生成回路 7 2 から構成される。合成回路 7 1 には、比較回路 6 2 及び付帯情報分離回路 6 3

から分岐方向情報が供給される。

【 0 0 6 5 】

合成回路 7 1 は、付帯情報分離回路 6 3 から分岐方向情報が供給された場合には、分岐方向情報をそのまま出力し、付帯情報分離回路 6 3 から分岐方向情報が供給されない場合には、比較回路 6 2 からの分岐方向情報を出力する。合成回路 7 1 の出力は、分岐予測情報生成回路 7 2 に供給される。

【 0 0 6 6 】

分岐予測情報生成回路 7 2 は、合成回路 7 1 からの分岐方向情報に応じて分岐予測情報を生成する。

【 0 0 6 7 】

分岐命令を初期分岐情報生成回路 5 2 の出力は、分岐予測情報切替回路 5 4 に供給される。

【 0 0 6 8 】

次に分岐予測情報切替回路 5 4 について詳細に説明する。

【 0 0 6 9 】

図 1 1 は本発明の一実施例の分岐予測情報切替回路のブロック構成図を示す。

【 0 0 7 0 】

分岐予測情報切替回路 5 4 は、マルチプレクサ 8 1 から構成される。マルチプレクサ 8 1 には、初期分岐予測情報生成回路 5 2 及び分岐予測情報更新回路 5 3 から分岐予測情報が供給されるとともに、タグ比較回路 3 5 から比較結果が供給される。マルチプレクサ 8 1 は、タグ比較回路 3 5 の比較結果がプロセスの切替を示す情報である場合には、初期分岐予測情報生成回路 5 2 からの分岐予測情報を選択し、プロセスに変化がない状態を示す情報である場合には、分岐予測情報更新回路 5 3 からの分岐予測情報を選択する。

【 0 0 7 1 】

分岐予測情報切替回路 5 4 からの分岐予測情報は、実行制御部 2 2 に供給される。実行制御部 2 2 は、分岐予測情報切替回路 5 4 から供給された分岐予測情報に基づいて分岐を行なう。

【 0 0 7 2 】

また、分岐予測情報更新回路 5 3 は、分岐命令を検出すると、プログラムカウンタや分岐履歴などの情報から分岐予測表 3 4 のエントリを検索する。分岐予測情報更新回路 5 3 は、分岐予測表 3 4 のタグ情報を調べ、予測情報の構築で使われた過去のプロセス情報をタグから取り出し、現在実行中の分岐命令を含むプロセスの情報と比較する。タグ情報としては、コンテキストアドレスが用いられる。なお、タグ情報は、コンテキストアドレスに限定されるものでなく、分岐命令を効果的に識別できるものであればよい。例えば、仮想アドレスなどが考えられる。

【 0 0 7 3 】

同一のコンテキストアドレスであれば、それ以前に収集された分岐予測情報を使い、異なるコンテキストアドレスであれば、分岐予測情報を予め設定された初期値に設定する。

【 0 0 7 4 】

タグ比較回路 3 5 の比較結果により同一のプロセスで分岐予測表 3 4 を使用するか否かが検出できる。

【 0 0 7 5 】

分岐予測制御回路 4 2 は、同一のプロセスで、分岐予測表 3 4 を使用することを検出すると、分岐命令表 3 4 からの分岐予測情報に基づいて分岐予測を行なう。

【 0 0 7 6 】

また、タグ比較回路 3 5 の比較結果、プロセスが異なる場合には、分岐予測情報を予め設定された初期値に設定する。

【 0 0 7 7 】

初期分岐予測情報生成回路 5 2 は、まず、分岐命令に予測ビットが指定されていない場合には、分岐先アドレスを計算する。分岐先アドレスの計算結果、分岐先命令アドレスが分岐命令のプログラムカウンタアドレスよりも小さいアドレスである場合には、分岐方向情報 B T (Backward Taken) を出力する。また、ターゲットアドレスが分岐命令のプログラムカウンタアドレスより大きければ、分岐方向を F N (Forward Non taken) と推測する。

【 0 0 7 8 】

次に分岐予測部 2 1 の全体の動作について詳細に説明する。

【 0 0 7 9 】

分岐命令を検出すると、プログラムカウンタ及び分岐履歴情報から分岐予測表 3 4 のエントリを検索する。

【 0 0 8 0 】

次に、その分岐予測表 3 4 へのエントリのタグ情報 3 8 を調べる。対応するタグ情報 3 8 から予測情報の構築で使われた過去のプロセス情報を取り出す。なお、タグ情報 3 8 は、分岐命令を効果的に識別できるものであればよく。コンテキストアドレスや仮想アドレスなどが考えられる。

【 0 0 8 1 】

取り出したプロセス情報と現在実行中の分岐命令を含むプロセス情報とを比較し、両プロセス情報が一致するか否かを判定する。プロセス情報の比較結果、両プロセス情報が一致すれば、同一プロセスであると判定できるため、それ以前に収集された分岐予測情報を使い分岐予測を行なう。また、両プロセス情報が不一致であれば、異なるプロセスであると判定できるため、分岐予測情報を初期化する。

【 0 0 8 2 】

次に、タグ情報 3 8 の比較結果から同一プロセスであることが認識されると、現在分岐予測表 3 4 に記憶されている分岐予測情報 3 9 を用いて、分岐予測の方向、すなわち、分岐、非分岐を決定する。

【 0 0 8 3 】

また、タグ情報 3 8 の比較結果から異なるプロセスであることが認識されると、分岐命令に予測情報が指定されているか否かが判定される。分岐命令に分岐情報が指定されている場合には、指定されている分岐情報により分岐予測表 3 4 を更新する。

【 0 0 8 4 】

このとき、分岐情報は、例えば、1 ビットのデータから構成される。分岐情報は、「0」であれば、分岐しない方向を示す。また、「1」であれば、分岐する

方向を示す。分岐情報が「1」の場合、分岐予測表の分岐予測情報はS T (Strongly Taken) に初期化される。また、分岐情報が「0」の場合、分岐予測表の分岐予測情報はS N T (Strongly Not Taken) に初期化される。

【0085】

分岐命令に分岐情報が指定されていない場合には、タグ情報に基づいて分岐先のターゲットアドレスが算出される。次に、ターゲットアドレスと分岐命令のプログラムカウンタアドレスとを比較する。比較結果に応じて分岐予測情報を初期化する。

【0086】

ターゲットアドレスが分岐命令のプログラムカウンタアドレスより小さければ、分岐方向をB T (Backward Taken) と推測する。また、ターゲットアドレスが分岐命令のプログラムカウンタアドレスより大きければ、分岐方向をF N (Forward Non taken) と推測する。

【0087】

分岐方向がB T と推測された場合には、分岐予測表の分岐予測情報はW T (Weakly Taken) に初期化される。また、分岐方向がF N と推測された場合には、分岐予測表の分岐予測情報はW N T (Weakly Not Taken) に初期化される。

以上のように、分岐予測情報は、プロセスが切り換った場合に初期化される。分岐予測情報が初期化されることにより、異なるプロセスの分岐予測情報に左右されずに分岐予測を行なうことができる。よって、不必要な分岐予測の状態遷移を防止することができる。

【0088】

なお、本実施例は下記の発明を含む。

【0089】

初期化手段が、前記分岐命令の分岐先に応じて初期化を行なうことを特徴とする請求項1又は2記載の演算装置。

【0090】

初期化手順が、前記分岐命令の分岐先に応じて初期化を行なうことを特徴とする請求項3又は4記載の分岐予測方法。

【 0 0 9 1 】

初期化手段が、前記分岐命令の分岐先に応じて初期化を行なうことを特徴とする請求項 5 又は 6 記載の情報処理装置。

【 0 0 9 2 】

【発明の効果】

上述の如く、本発明によれば、処理のプロセスが切り換ったことを検出し、その検出結果、処理のプロセスが切り換ると、分岐予測情報が初期化されるため、過去の処理プロセスの分岐予測により分岐予測が行なわれることがなく、分岐予測のミスを低減できる等の特長とを有する。

【 0 0 9 3 】

また、本発明によれば、分岐命令に予め付与された予測情報により分岐予測を行なうことができるので、分岐予測がヒットする確率を向上できる等の特長を有する。

【 0 0 9 4 】

さらに、本発明によれば、分岐命令の分岐先に応じて初期化を行なうことにより、初期化時に予測の強度を切り替え、最適な予測を行なうことができ、よって、分岐がヒットする確率を向上できる等の特長を有する。

【図面の簡単な説明】

【図 1】

情報処理装置の一例のブロック構成図である。

【図 2】

演算装置のブロック構成図である。

【図 3】

命令分岐動作を説明するための図である。

【図 4】

従来の分岐予測制御部の一例のブロック構成図である。

【図 5】

分岐履歴レジスタのデータ構成図である。

【図 6】

プログラム切替動作を説明するための図である。

【図 7】

本発明の一実施例の分岐予測制御部のブロック構成図である。

【図 8】

本発明の一実施例の B T F N 判定回路のブロック構成図である。

【図 9】

本発明の一実施例の分岐予測データ生成回路のブロック構成図である。

【図 1 0】

本発明の一実施例の分岐予測データ更新回路のブロック構成図である。

【図 1 1】

本発明の一実施例の分岐予測データ切替回路のブロック構成図である。

【符号の説明】

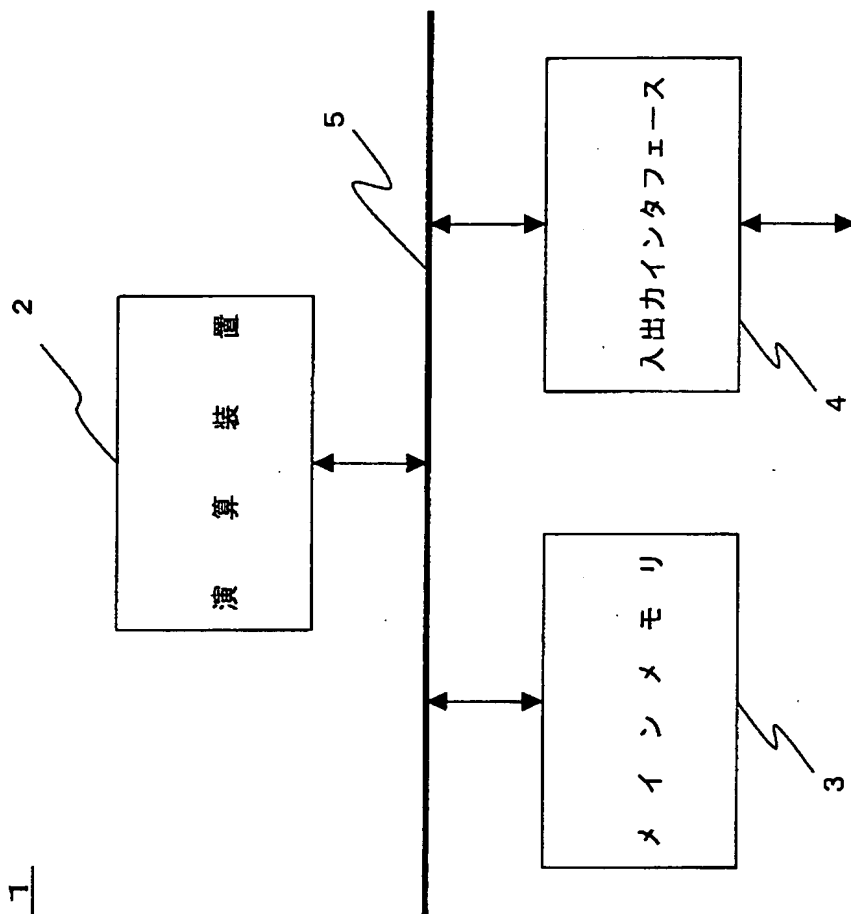
- 1 情報処理装置
- 2 演算装置
- 3 メインメモリ
- 4 入出力インタフェース
- 5 システムバス
- 1 1 バスインタフェースユニット
- 1 2 2 次キャッシュ
- 1 3 命令フェッチユニット
- 1 4 命令デコーダ
- 1 5 整数演算部
- 1 6 浮動小数点演算部
- 1 7 機能ユニット
- 1 8 内部バス
- 1 9 データキャッシュ
- 2 0 リオーダーバッファ
- 2 1 分岐予測制御部
- 2 2 実行制御部

【書類名】

図面

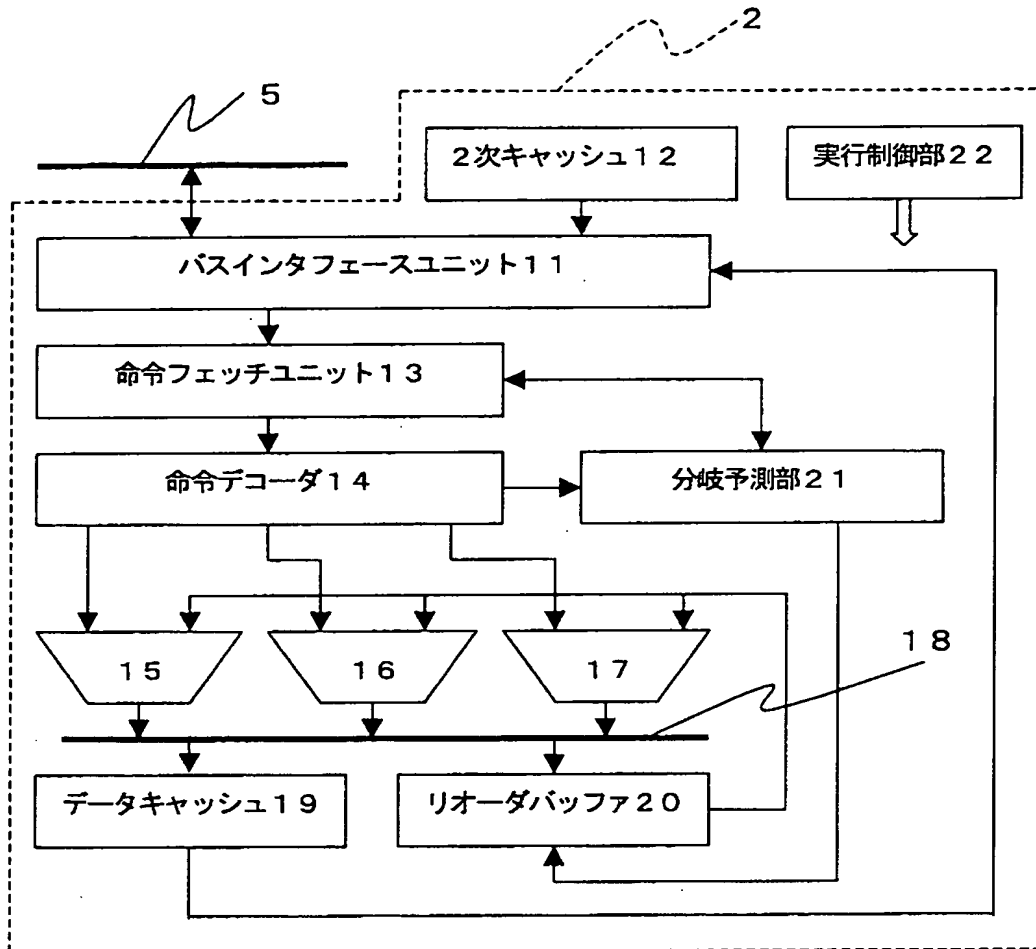
【図 1】

情報処理装置の一例のブロック構成図



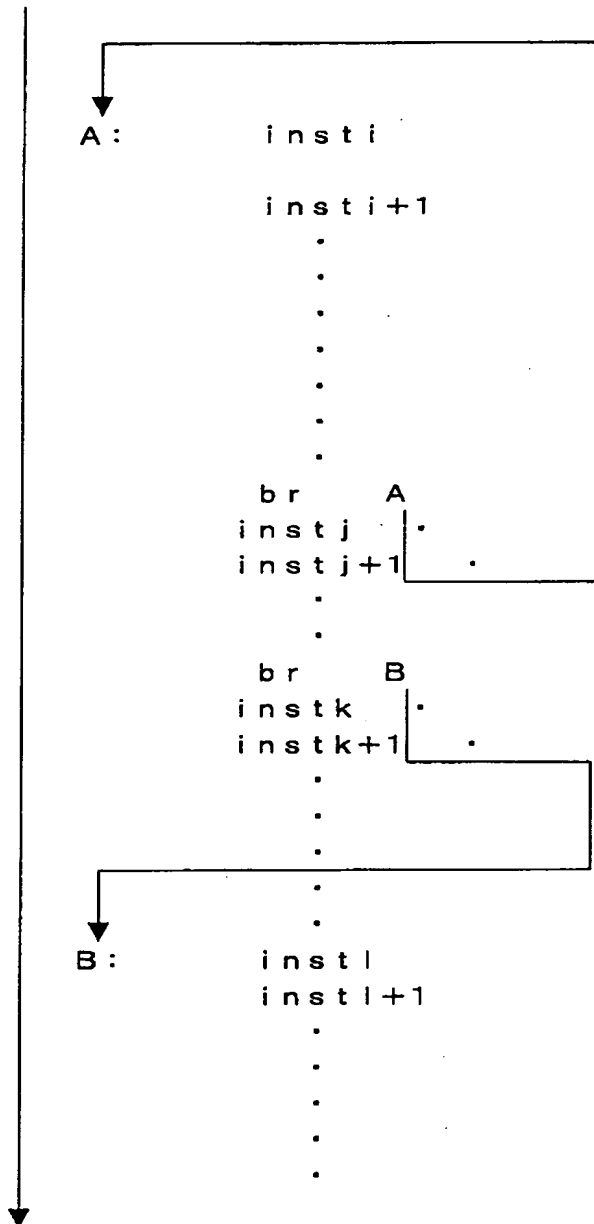
【図 2】

演算装置のブロック構成図



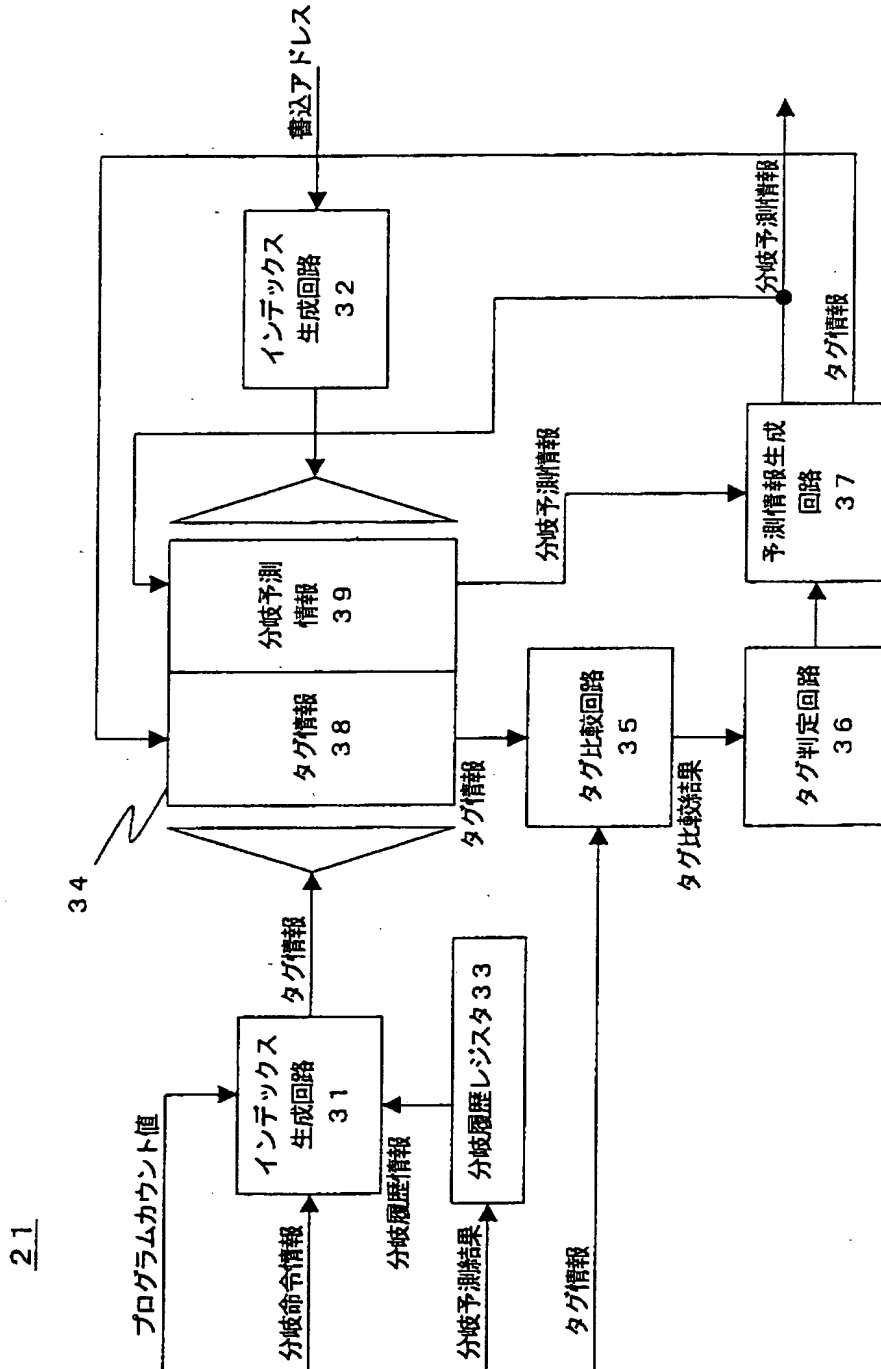
【図 3】

分岐命令動作を説明するための図



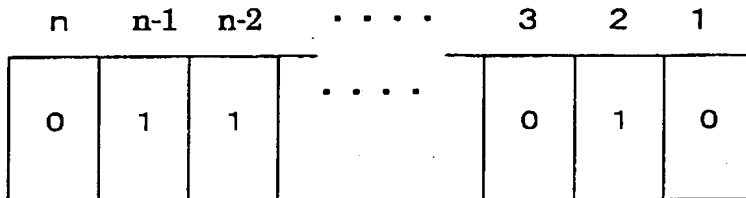
【図 4】

従来の分岐予測部の一例のブロック構成図



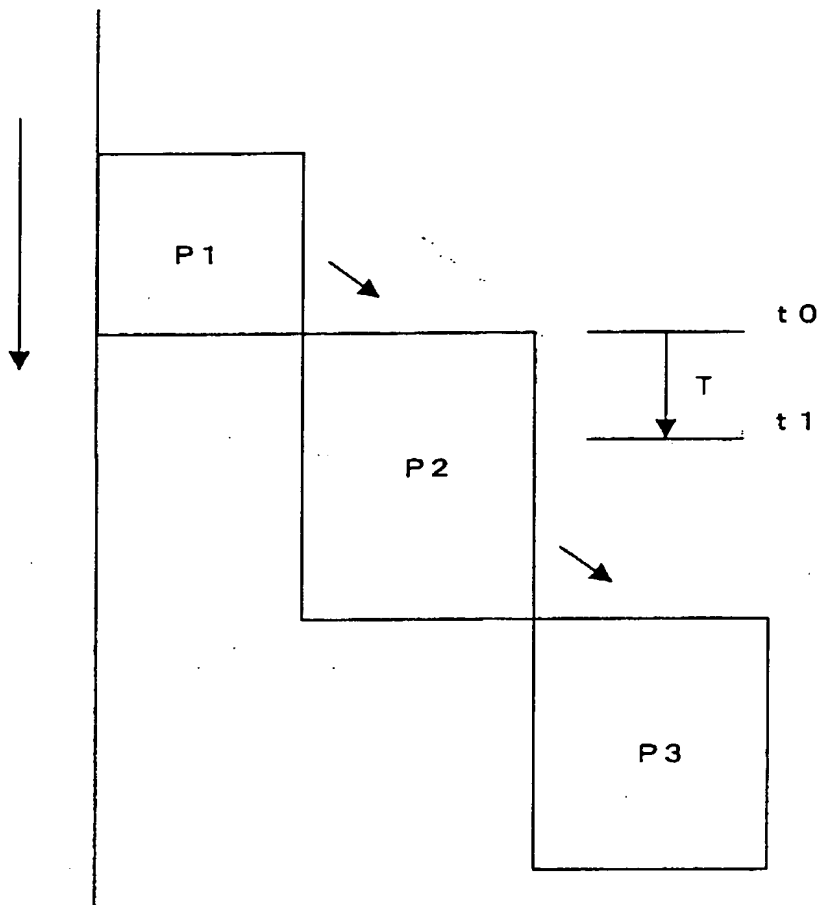
【図 5】

分岐履歴レジスタのデータ構成図



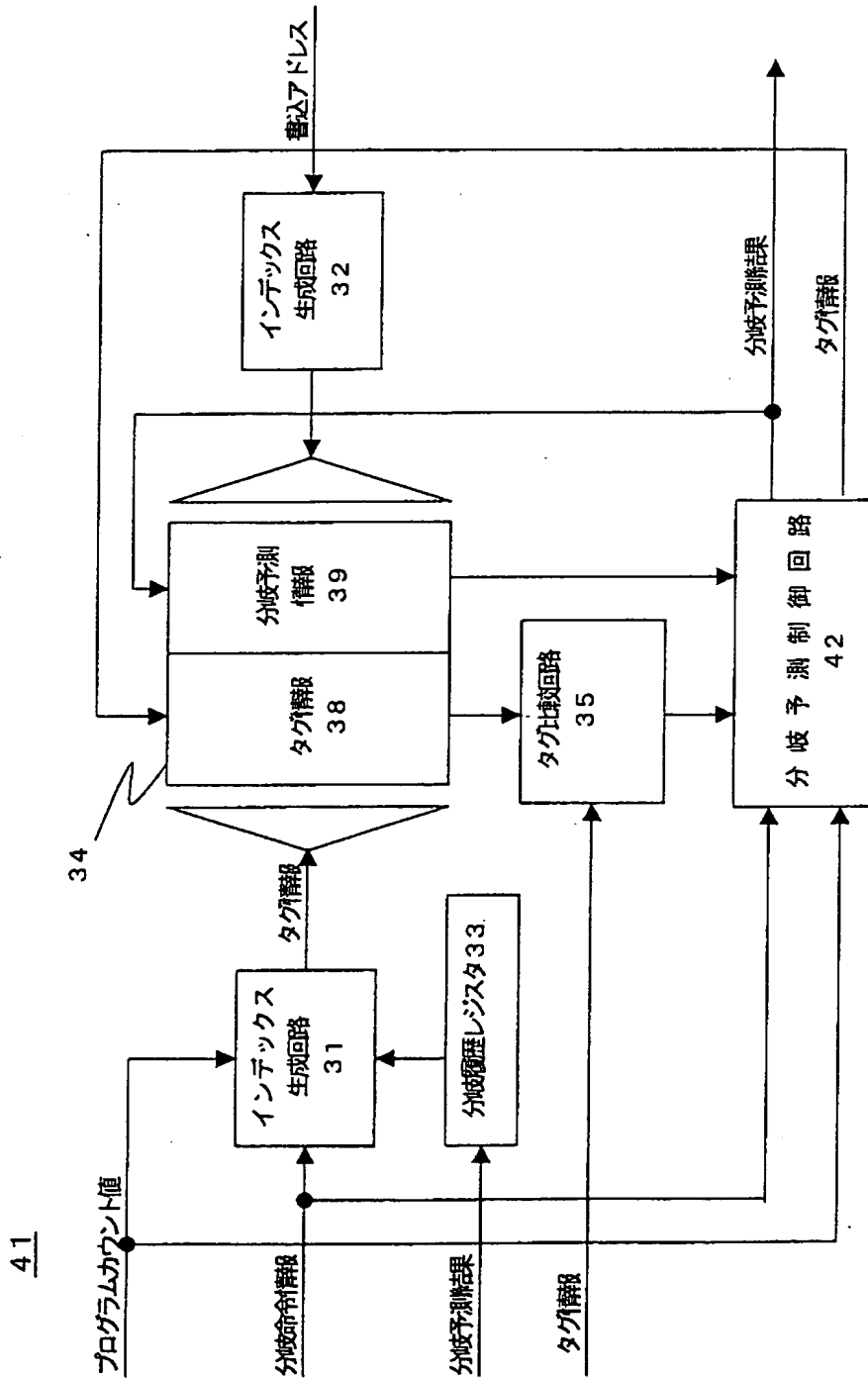
【図 6】

プログラム切替動作を説明するための図



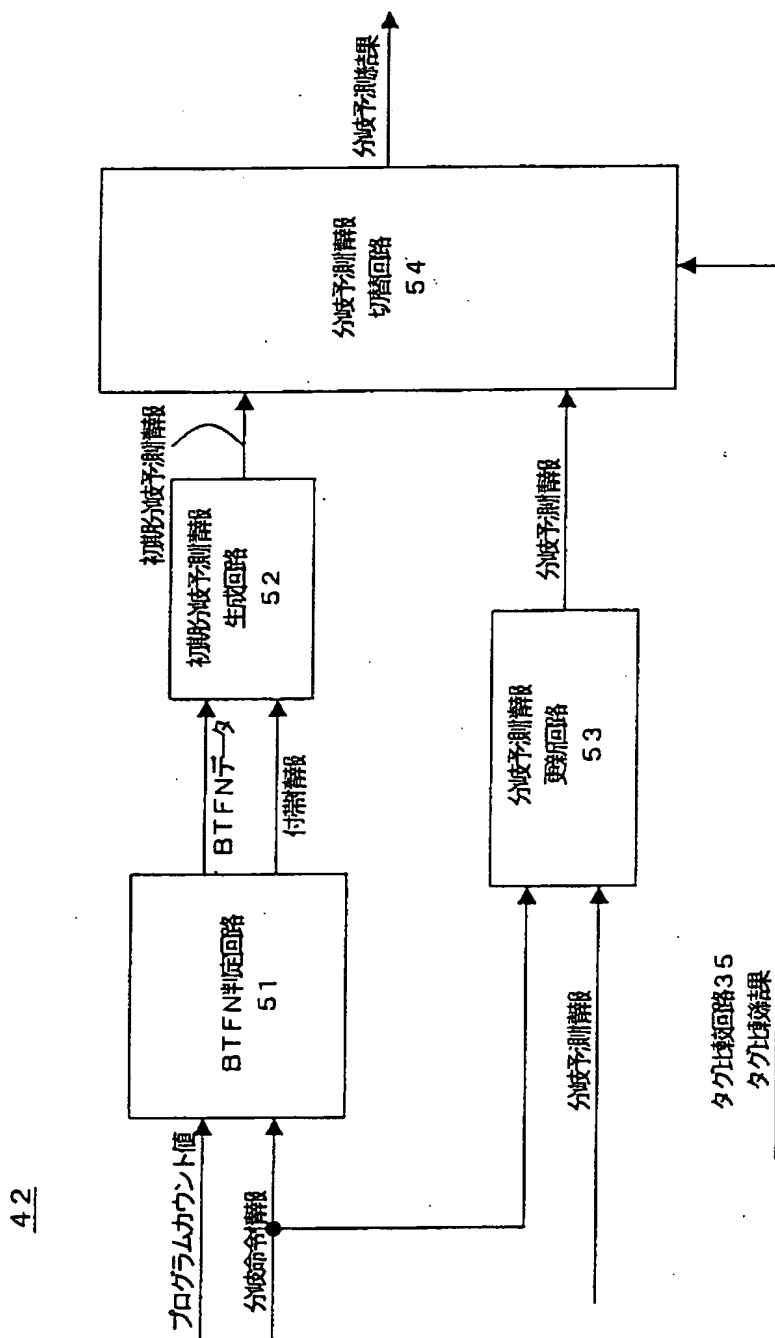
【図 7】

本発明の一実施例の分岐予測部のブロック構成図



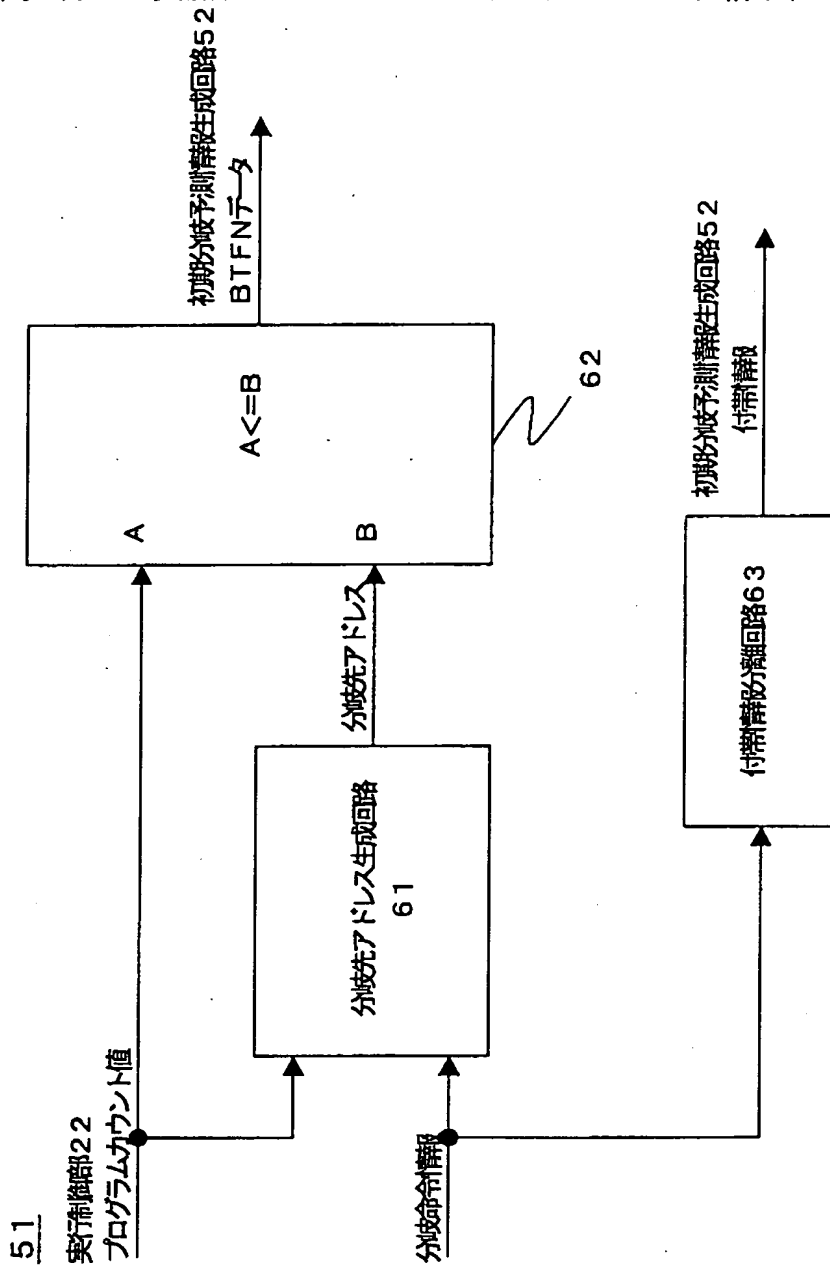
【図 8】

本発明の一実施例の分岐予測制御部のブロック構成図



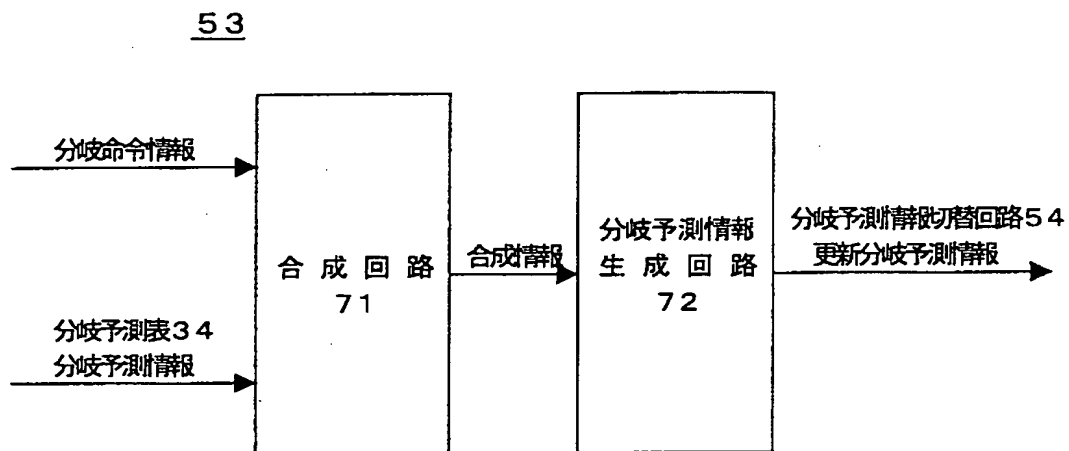
【図 9】

本発明の一実施例のBT FN判定回路のブロック構成図



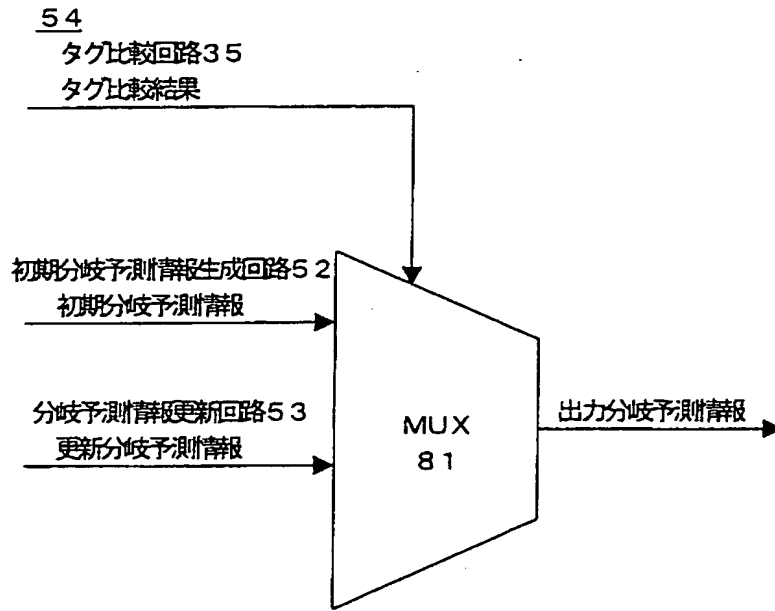
【図 1 0】

本発明の一実施例の分岐予測データ更新回路のブロック構成図



【図 1 1】

本発明の一実施例の分岐予測データ切替回路のブロック構成図



【書類名】 要約書

【要約】

【課題】 分岐命令時に分岐予測を行なう演算装置及び分岐予測方法並びに情報処理装置に関し、予測精度を向上させることができる演算装置及び分岐予測方法並びに情報処理装置を提供することを目的とする。

【解決手段】 本発明は、分岐命令に応じて分岐予測を行なうとともに、該分岐命令の成否に応じて分岐予測の遷移確率を更新する演算装置において、処理のプロセスが切り換ったことを検出する切換検出手段と、前記切換検出手段により前記プロセスが切り換ったことが検出されたときに、前記分岐予測情報を初期化する初期化手段とを有することを特徴とする。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社